

## 修 士 論 文 の 和 文 要 旨

研究科・専攻	大学院 電気通信学研究科 電子工学専攻 博士前期課程		
氏 名	高井 伸彰	学籍番号	0832044
論 文 題 目	c-t 法による低温酸化膜 MOS キャパシターの電気的特性評価		
<p>要 旨</p> <p>現在フレキシブルなデバイスの要求が高まっている。その実現のため高温での作製に耐えられない基板への絶縁膜作製技術が求められている。低温で作製した絶縁膜には、絶縁強度が低い、リーク電流が大きい、界面準位密度が高いという問題点がある。</p> <p>中でも様々な特性に影響を与える界面準位密度を測定する事は MOS 絶縁膜を評価するにあたり重要な意味を持つ。一般に界面準位密度を測定するにはフラットバンド電圧の理論値とのズレから導出する Terman 法や高周波と低周波の CV 特性の比較から導出する Quasi-Static 法が用いられる。しかし Terman 法は固定電荷も界面準位として算出してしまい、Quasi-static 法は試料に高い絶縁性を要求するため、これらの方法では低温で作製した絶縁膜のようなリークの大きな MOS 絶縁膜の界面準位密度を正確に評価することはできない。そこで我々はパルス電圧を印加した際のキャパシタンスの過渡応答より欠陥準位を導出する C-t 法を用いて低温で作製した MOS 絶縁膜の界面準位密度を評価した。C-t 法は界面準位の算出に捕獲断面積とキャリアの熱速度が必要になるが、試料に高い絶縁性を要求せずに界面準位密度の測定が可能なため低温で作製した絶縁膜の評価に適していると考えられる。本研究では C-t 法を用いて 400℃で作製した低温酸化膜 MOS キャパシターの界面準位を測定した。</p> <p>まず熱酸化膜の C-t 法を用いて算出したキャリア表面生成速度を文献値と比較しその妥当性を確認した。それと同時に Quasi-Static 法の界面準位密度 <math>D_{it}=5.6\times 10^{10}</math> [cm<sup>2</sup>eV]と比較し使用したバルクの捕獲断面積と熱速度を算出した。その後 400℃で作製した低温酸化膜 MOS キャパシターの界面準位を測定し <math>D_{it}=5.6\times 10^{11}</math> [cm<sup>2</sup>eV]という値を算出した。この値は研究室で依然測定した試料の <math>D_{it}=1.0\times 10^{11}</math> [cm<sup>2</sup>eV]と比べ大きな値を取っているが Terman 法の <math>D_{it}=1.0\times 10^{12}</math> [cm<sup>2</sup>eV]と比較するとより近い値を取っていることが確認できる。</p> <p>以上より本研究成果より、C-t 法により絶縁性の乏しい低温作製酸化の膜界面準位を算出する事で、高品位シリコン酸化膜を低温形成に役立つ事が期待される。</p>			